




# IMAGE PICKUP DEVICE AND SELECTION CIRCUIT

**Patent number:** JP2001045383  
**Publication date:** 2001-02-16  
**Inventor:** HAYASHI HIDETOSHI; YUKI OSAMU;  
 ENDO TOSHIRO; HASHIMOTO SEIJI  
**Applicant:** CANON KK  
**Classification:**  
 - international: **H04N5/335; G06K9/20; H01L27/146;**  
**H04N1/028; H04N3/15; H04N5/217;**  
**H04N5/335; G06K9/20; H01L27/146;**  
**H04N1/028; H04N3/15; H04N5/217; (IPC1-**  
**7): H04N5/335; H01L27/146; H04N1/028**  
 - european: H04N3/15E4; H04N5/217S3  
**Application number:** JP19990221736 19990804  
**Priority number(s):** JP19990221736 19990804

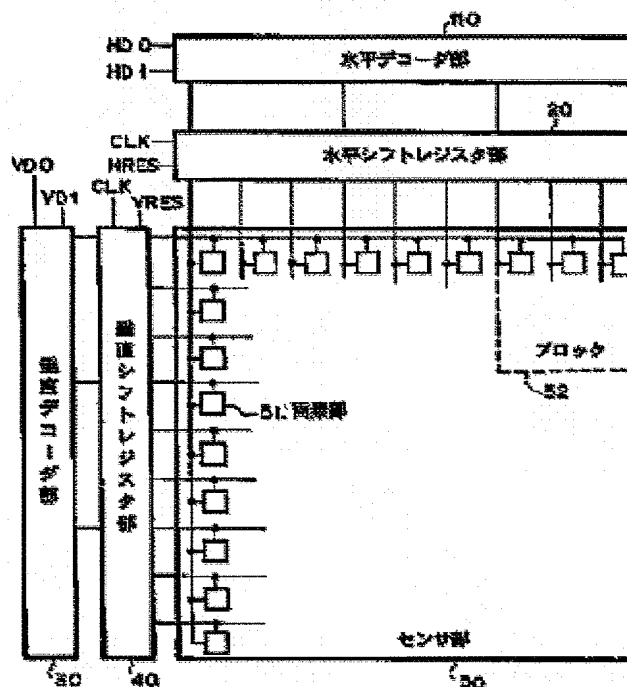
Also published as:

 US7030920 (B1)  
 CN1283834 (A)  
 CN1214610C (C)

[Report a data error here](#)

## Abstract of JP2001045383

**PROBLEM TO BE SOLVED:** To enlarge an optional designation area to the size of one screen in a display and to display it by constituting an image pickup device to start/end scanning the pixel area of an image sensor by in an optional pixel unit through the use of selection blocks and respective selection lines in the selection blocks. **SOLUTION:** A horizontal shift register part 20 and a vertical shift register part 40 are arranged in order to designate the respective nine pixels in the X and Y directions in a configuration of a 9×9 pixel sensor part 50. Besides, a horizontal decoder part 110 and a vertical decoder part 30 are commonly arranged at the outer sides of the register parts 20 and 40 in order to designate the inside of the shift register parts 20 and 40 for each optional range. Then scanning is started/ended in an optional pixel unit in the pixel area of the image sensor by the selection blocks selected by the decoder parts 110 and 30 and the selection lines inside the selection blocks selected by the register parts 20 and 40.



Data supplied from the **esp@cenet** database - Worldwide



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-45383  
(P2001-45383A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
H 0 4 N 5/335		H 0 4 N 5/335	P 4 M 1 1 8
			E 5 C 0 2 4
H 0 1 L 27/146		1/028	A 5 C 0 5 1
H 0 4 N 1/028		H 0 1 L 27/14	A

審査請求 有 請求項の数14 O L (全 11 頁)

(21) 出願番号 特願平11-221736

(22) 出願日 平成11年8月4日 (1999.8.4)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 林 英俊

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72) 発明者 結城 修

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 穰平

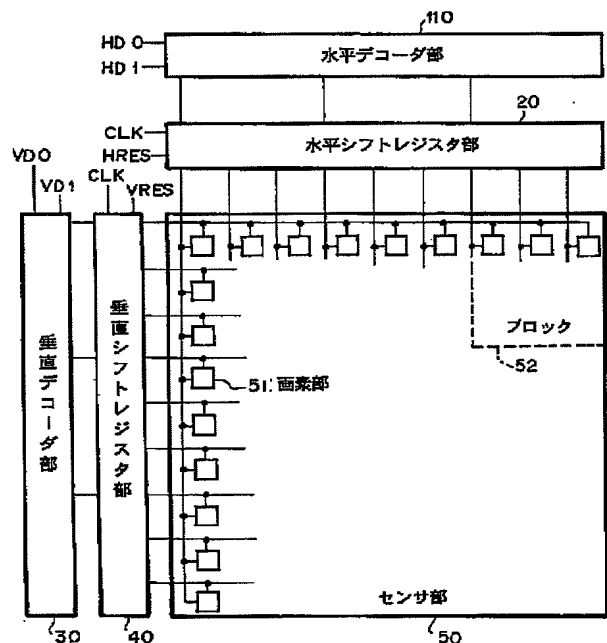
最終頁に続く

(54) 【発明の名称】 撮像装置及び選択回路

(57) 【要約】

【課題】 撮像装置で、実質的にランダムアクセスが可能なシフトレジスタを有した撮像装置を提供することを課題とする。

【解決手段】 光学系により形成された被写体像をイメージセンサにより光電変換できる固体撮像装置において、デコーダ部により選択された選択ブロックと、シフトレジスタ部により前記選択ブロック内の各選択ラインとにより、前記イメージセンサの画素領域を任意の画素単位で走査開始、終了することを特徴とする。



## 【特許請求の範囲】

【請求項1】 光学系により形成された被写体像をイメージセンサにより光電変換できる固体撮像装置において、

デコーダ部により選択された選択ブロックと、シフトレジスタ部により前記選択ブロック内の各選択ラインとにより、前記イメージセンサの画素領域を任意の画素単位で走査開始、終了することを特徴とする固体撮像装置。

【請求項2】 請求項1に記載の固体撮像装置において、前記任意の画素単位中の前記任意の画素位置で走査開始、終了することを特徴とする固体撮像装置。

【請求項3】 請求項1又は2に記載の固体撮像装置において、前記デコーダ回路には前記選択ブロックの選択用の複数の選択パルスが供給され、前記シフトレジスタ部には少なくとも走査用のクロックとリセットパルスが供給されることを特徴とする固体撮像装置。

【請求項4】 請求項1又は、2、3に記載の固体撮像装置において、前記イメージセンサの領域にはオプティカルブラック部を備え、前記選択ブロックは前記オプティカルブラック部を含まないことを特徴とする固体撮像装置。

【請求項5】 請求項3又は4に記載の固体撮像装置において、更に、シフトレジスタ部には、選択出力線をオン・オフする選択パルスが供給され、前記選択ブロックの選択用の複数の選択パルスと前記選択パルスにより選択された選択出力線により前記イメージセンサの特定領域を読み出すことを特徴とする固体撮像装置。

【請求項6】 請求項5に記載の固体撮像装置において、前記デコーダ部に前記選択ブロックの選択用の複数の選択パルスとラッチパルスとを受けるラッチ回路と、前記シフトレジスタ部には少なくとも走査用のクロックとリセットパルス及び前記選択出力線をオン・オフする選択パルスが供給され、前記オプティカルブラック部をスキップした後に前記ラッチ回路をオンすることを特徴とする固体撮像装置。

【請求項7】 複数の画素を含むセンサ部と、前記センサ部内の任意の複数の画素からなるブロックを指定する指定手段と、前記指定手段に基いて、前記ブロック内の画素を走査する走査手段とを有することを特徴とする固体撮像装置。

【請求項8】 請求項7に記載の固体撮像装置において、前記ブロックは、水平方向又は垂直方向に配列された複数の画素であることを特徴とする固体撮像装置。

【請求項9】 複数の画素を含むセンサ部と、前記センサ部内の画素を順次走査する走査手段と、前記走査を開始する任意の画素と前記走査を終了する任意の画素を指定する指定手段と、を有することを特徴とする固体撮像装置。

【請求項10】 請求項7乃至9のいずれかに記載の固体撮像装置において、前記走査手段は、水平方向又は垂

直方向に走査することを特徴とする固体撮像装置。

【請求項11】 請求項7乃至10のいずれかに記載の固体撮像装置において、前記指定手段は、前記走査手段を制御するデコーダ回路であり、前記走査手段はシフトレジスタであることを特徴とする固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、撮像装置に係り、特にランダムアクセスのシフトレジスタを備えた撮像装置に関する。

## 【0002】

【従来の技術】従来、2次元のX-Y座標上に複数の固体撮像素子を用いるイメージセンサにおいて、特に水平／垂直シフトレジスタを用いて、X-Yアドレスとする撮像装置で、水平／垂直シフトレジスタによる走査を制御するデコーダ回路を用いることにより、全画素に直接ランダムアクセスでき、任意の画素範囲の指定も可能であった。

【0003】しかし、近年の固体撮像素子を用いた撮像装置は、年々その画素数が増加する傾向にあり、それに伴いデコーダ本数が増加し、回路そのものが繁雑になるという問題が生じる。例えば水平2000画素もの画素数がある固体撮像素子の場合、デコーダの本数は $2^{11}=2024$ となり、2000画素を指し示すには11本（ビット）ものデコーダ回路が必要となる。

【0004】また、デコーダ回路を用いずに全画素にランダムアクセスする場合、従来の方法では、走査したくない領域を高速で読み飛ばすという方式が取られていたが、高速動作により消費電力が大きいという問題があった。それを解決するために、メモリアイプのシフトレジスタが提案されている。

【0005】一例として特開平6-350933号公報においては、各シフトレジスタユニット部にそれぞれ電位記憶部を設け、任意指定範囲の読み出しを可能にしている。図12にその簡単な概念図を示す。図において、2個のインバータ105、106を直列接続してなるシフトレジスタユニット101と、記憶部103とシフトレジスタユニット101の情報を記憶部103へ記憶させ、記憶部103に記憶された情報をシフトレジスタユニット101に転送するためのスイッチ102とで、シフトレジスタ単位ブロック104を構成し、単位ブロック104を複数個縦続接続して、シフトレジスタを構成して、記憶部103に記憶された単位ブロックの画像データを一括して読み出し、次の単位ブロックについても、記憶部の単位ブロックの画像データを読み出して、順次必要な画像データを読み出すようになっている。

## 【0006】

【発明が解決しようとする課題】しかしながら、これを実現するためには、読み出し開始位置を設定するプロセスと、実際に任意範囲を読み出すプロセスの2段階のプ

ロセスを要する。

【0007】本発明はこのような問題を考慮し、実質的にランダムアクセスが可能なシフトレジスタを有した撮像装置を提供することを目的としている。

【0008】

【課題を解決するための手段】本発明の撮像装置は、撮像装置のセンサ部にデコーダ回路とシフトレジスタを保持し、任意の画素単位でランダムアクセスでき、かつその中で、さらに任意の画素位置で走査できる手段を備えていることを特徴とする。

【0009】また、本発明は、光学系により形成された被写体像をイメージセンサにより光電変換できる固体撮像装置において、デコーダ部により選択された選択ブロックと、シフトレジスタ部により前記選択ブロック内の各選択ラインとにより、前記イメージセンサの画素領域を任意の画素単位で走査開始、終了することを特徴とする。

【0010】また、上記固体撮像装置において、前記デコーダ回路には前記選択ブロックの選択用の複数の選択パルスを供給され、前記シフトレジスタ部には少なくとも走査用のクロックと、前記シフトレジスタ部をリセットするリセットパルスが供給されることを特徴とする。

【0011】また、本発明は、複数の画素を含むセンサ部と、前記センサ部内の任意の複数の画素からなるブロックを指定する指定手段と、前記指定手段に基いて、前記ブロック内の画素を走査する走査手段とを有することを特徴とする。

【0012】また、本発明は、複数の画素を含むセンサ部と、前記センサ部内の画素を順次走査する走査手段と、前記走査を開始する任意の画素と前記走査を終了する任意の画素を指定する指定手段と、を有することを特徴とする。

【0013】

【発明の実施の形態】本発明による実施形態について、図面を参照しつつ詳細に説明する。

【0014】〔第1の実施形態〕図1は本発明の第1の実施形態に基づく、デコーダ回路とシフトレジスタを備えた固体撮像装置の簡単な撮像部構成図の例である。

【0015】この図1において、 $9 \times 9$ 画素のセンサ部50の構成で、それぞれのX方向、Y方向の各9画素を指定するために、水平シフトレジスタ部20と垂直シフトレジスタ部40を設け、さらにその外側にシフトレジスタ部20、40内を任意の画素範囲毎に指定できるように、水平デコーダ部110と垂直デコーダ部30を兼ね備えている。また、画素部51に、例示として $3 \times 3$ 画素部毎に、ブロック52で区分されている。

【0016】ここでの水平デコーダ110の入力は、HD0～HD1が入力され、水平シフトレジスタ部20はクロックパルス(CLK)と水平リセットパルス(HRES)が入力できるようになっている。また、垂直方向

も同じ構成であり、垂直デコーダ30の入力はVD0～VD1が入力され、垂直シフトレジスタ部40はクロックパルス(CLK)と垂直リセットパルス(VRES)が入力できるようになっており、水平部と垂直部とはほぼ同一なので、以下、水平方向だけで論じていく。

【0017】まず、水平デコーダ部110の入力HD0～HD1は、2本(bit)なので、これだけで水平9画素を全て指定することはできないが、3画素までなら直接指定することはできる。このため、この図1では水平9画素を3画素ずつの3ブロックに分け、そのブロックの先頭画素の3画素をデコーダ部110で指定できるように構成したものである。

【0018】水平シフトレジスタ部20は、水平デコーダ部110とセンサ部50の間に位置し、水平デコーダ部110から得られる各ブロック52の先頭位置を受け取り、クロックパルスCLKにより、その位置からセンサ部50を1画素ずつ走査させるように構成したものである。走査を止めるときは水平リセットパルスHRESにより、水平シフトレジスタ部20の内容を消去する。

【0019】図2は、図1の水平デコーダ部110と水平シフトレジスタ部20の回路構成の1実施形態を示したものである。

【0020】水平デコーダ部110は、入力としてHD0を下位桁、HD1を上位桁とし、AND回路13、14と、インバータ11、12で構成したものである。水平シフトレジスタ部20はD型フリップフロップ21～24で構成している。またこれ以外に、水平デコーダ部110の回路として、ANDやインバータ以外の素子を用いたり、水平シフトレジスタ部20の構成を従来例のようにクロックドインバータで構成してもよい。

【0021】これらの水平デコーダ部110の入力に $\langle \text{HD0}, \text{HD1} \rangle$ に $\langle 0, 0 \rangle$ が入力されると、左端の画素が選択され、それと同時にフリップフロップ1(FF1)21が選択される。その後クロックパルスCLKによりFF2(22)、FF3(23)と順次1クロック毎にシフトされ、FF3(23)からFF4(24)への伝達にはAND回路14 $\langle 0, 1 \rangle$ の出力とを入力するOR回路25を介してFF4(24)に転送され、順次9画素目が走査し終わるまでリセットパルスを入れなければ、全画素を走査することができる。

【0022】次に、任意の画素範囲を走査する場合の概念図を図3に、そのタイミングを図4に示す。図3は図2の水平デコーダ部110と水平シフトレジスタ部20とを用いて、任意の画素範囲を走査する場合の概念図である。

【0023】図3に示すように、 $9 \times 9$ 画素を $3 \times 3$ 画素の9ブロックに分割し、ブロック2、5、8だけを、この水平デコーダ部110と水平シフトレジスタ部20との回路で走査する状況である。図4のタイミングのうちに、これらのブロックの先頭画素を指定したいため

に、 $\langle \text{HD}0, \text{HD}1 \rangle$ に $\langle 0, 1 \rangle$ を入力する。これによりFF1~FF3を飛び越し、直接FF4を指定できる。水平リセットパルスHRESを入力し、その後、クロックパルスCLK毎に水平シフトレジスタ部20の入力により、次々に指定される位置がシフトしていく。

【0024】つぎに、図4の $h_3$ が出力された直後に、水平リセットパルスHRESで、フリップフロップFFをリセットすることにより、ブロック2だけを走査することができる。その後、このタイミングで3回ずつ走査することにより、ブロック5、ブロック8と走査することができる。なおここではデコード入力の内容はラッチ等により1パルスだけ出力されるものとする。

【0025】上記実施形態では、水平部について説明したが、垂直デコード部及び垂直シフトレジスタ部についても、選択されたブロックを水平ラインの並びで選択する場合に、上記と同様にデコードして、垂直シフトレジスタ部で画素読み出し領域を選択することにより、同様な動作で、同一の効果を奏し得る。

【0026】〔第2の実施形態〕次に、本発明の第2の実施形態として、任意の画素範囲で走査して、さらにその中で任意の画素位置で走査開始、終了することができる撮像装置の実施形態を示す。

【0027】図5は当初区分けしたブロック内の途中から走査したい場合の概念図である。図6は図5の構成を実施するための回路構成例である。この回路構成は基本的には図2と同じだが、シフトレジスタ内に水平画素選択スイッチ201~204としてMOS型のトランジスタを付け、各スイッチの出力に抵抗211~214で終端しており、水平選択パルスHSELで全スイッチを同時にON、OFFを行う。この構成でのタイミングを図7に示す。

【0028】この場合、図5の水平選択出力線 $h_2$ から走査を始めたいのであるが、図7に示すように、まず水平デコード部110の入力として $\langle 0, 1 \rangle$ を入力し、水平選択出力線 $h_1$ を選択できるようにする。しかしここでは、水平選択パルスHSELがLowになっているため、水平選択出力線 $h_1$ からは出力されない。

【0029】次のクロックCLKでシフトし、水平選択出力線 $h_2$ に移動するが、この時点で水平選択パルスHSELをHighにし、出力可能にし続ける。その後、 $h_4$ が走査し終わったところで、水平選択パルスHSELをLowにし、フリップフロップ24~27にリセットかける。これにより所望の位置から所望の範囲を走査できることになる。

【0030】〔第3の実施形態〕次に、図8は図5の構成にオプティカル・ブラック(OB)部53を付け加えた場合の実施形態である。図8(a)ではその概念図を示す。ここでは簡略化のために $9 \times 9$ 画素のセンサ部50に、水平シフトレジスタ部20からの水平選択出力線 $h_1, h_2$ に該当する $2 \times 9$ 画素のOB部を設けている。

【0031】このOB部は1H毎に必ず走査されなければならない領域である。またこの図では、水平選択出力線 $h_6 \sim h_8$ に該当するブロック2, 5, 8だけを選択走査する。図8(b)にはそれを行うための水平デコード部110と水平シフトレジスタ部20の回路構成である。この特徴として、オプティカル・ブラック(OB)部53の垂直2画素列分を必ず走査するように水平シフトレジスタ部20にOB端子とDタイプのフリップフロップ221, 222が付加されていることである。このOB部53が走査し終わってから、1クロック空けて、水平デコード部110にあるラッチ回路15のアウトプットイネーブル(OE)にOB部終了のタイミングが伝えられ、走査したい範囲が走査できるようになる。また、OB部53には、Dフリップフロップ221, 222と水平選択パルスHSELで動作する水平画素選択スイッチ201~204のMOS型のトランジスタと、各スイッチの出力に抵抗211~214で終端している。

【0032】以下、図9に、その図8に示すOB部を有する撮像装置のタイミングを示すとともに動作を説明していく。

【0033】まず、水平デコード部110に $\langle 0, 1 \rangle$ というデータが入力されるが、これはラッチパルスにより1クロックの長さのデータにされ、ラッチ回路15内に保存される。次にOBにパルスが入ると同時に $h_1$ から出力され、OB部をシフトしながら走査していく。その後、OB部の走査が終わり、FF2(222)で1クロックおいてから、そのタイミングがラッチ回路15のOEに伝えられ、水平選択出力線 $h_6$ からセンサ部の走査が始まる。走査終了は水平選択出力線 $h_8$ が走査し終わったところで、水平選択パルスHSELをLowにし、その後でフリップフロップをリセットする。

【0034】なお、ここでは水平選択パルスHSELにより、図5と同じ様な領域だけを走査することも可能である。

【0035】〔第4の実施形態〕次に本発明の第4の実施形態について論ずる。

【0036】図10(a)は $128 \times 128$ 画素の1ブロックを横15ブロック縦8ブロック並べた、全 $1920 \times 1024$ 画素のセンサ部を有した構成であり、1H期間に5画素分のOB部53を考慮している。

【0037】ここではブロックの途中から走査、終了したい場合であるので、走査開始、終了画素を含んだブロックを全て走査し、図11のDRAMのメモリ13に格納し、使用しない画素はメモリ13内部で選択しないという特徴を持つ。回路構成は図8と基本的には同じであるが、図8のようにブロック内部で走査開始、終了する位置を遅らせる必要がないため、水平選択パルスHSELは必要ない。タイミングは図9に水平選択パルスHSELを省いたものと同じであるが、図10(b)にその特徴だけを述べてある。水平走査ブロックとしては水平

デコーダ部110から、＜0010＞～＜0101＞までを選択し、必要なブロックを走査する。それらは全て図11のDRAM13に格納され、カメラDSP12によって取捨選択される。

【0038】図11には、この発明を用いるシステム全体の構成図を示す。この図11における光電変換素子4、x、yアドレス選択部5、6に、本発明を用いることによって、全体的な実施形態とする。

【0039】図11において、光電変換部は、被写体からの光が絞り羽根1を通り、レンズ2により光電変換素子4へ結像されることで被写体の画像を電気信号に変換する。また、3はモワレ等を防ぐ為に光の高域をカットする光学ローパス・フィルターと、光電変換素子4の特性に応じた色補正フィルターと、および視覚領域外の赤外線カットフィルター等が組み合わされたフィルター群である。

【0040】光電変換素子4で変換された光／電気信号は、タイミング・ジェネレータTG8からの信号により、Xアドレス選択部6およびYアドレス選択部5で2次元で画素位置選択がおこなわれ、タイミング調整部7に読み出される。このタイミング調整部7では、光電変換素子4からの出力（1～複数本）のタイミング調整がおこなわれる。そして、光電信号は、AGC10により読み出し電圧を制御され、A/D変換器11でデジタル信号に変換される。

【0041】カメラ・デジタル・シグナル・プロセッサDSP12は、動画または静止画の画像処理をおこなう。また、MPU14は、この画像処理の際に使われるパラメータをカメラDSP12に設定したり、自動露光AE、オートフォーカスAF処理をおこなったりする。また、発振器9は絞り羽根1や、タイミング・ジェネレータTG8、カメラDSP12及びMPU14へ種々なクロックを供給して、各部のタイミングを統一して取る集中タイミング用の発振器である。

【0042】画像処理する際の一時的な記憶領域として、DRAMのメモリ13が用いられ、不揮発性の記憶領域として画像記録媒体18が用いられる。画像記録媒体18は、例えば、スマート・メディア、磁気テープ、または光ディスク等の記録媒体を用いる。

【0043】この画像処理後の表示をおこなう為に、ビデオエンコーダ15、および、CRT16等が設けられている。また、ビューファインダ17は、例えばLCDの様なもので画像記録媒体18に記憶する前に被写体を確認したりする為に用いられる。また、CRT16に限らず、表示パネルとしては液晶やプラズマディスプレイ、電子放出素子を用いた表示パネル等であってもよい。これらのCRT16、ビューファインダ17、画像記録媒体18等の出力装置は、CRT16、および、ビューファインダ17等に限らず、印刷紙や普通紙等のプリンタ等を用いてもよい。

【0044】上述した各実施形態において、光電変換素子4とその他の例えばカメラDSP12、MPU14等は、別々の半導体チップに形成してもよいし、また、CMOSプロセス等によって、同一半導体チップの基板上に形成してもよい。さらにシステムLSIとして、コンパクトな構成が近く実現される。

#### 【0045】

【発明の効果】以上説明したように、本発明の撮像装置によれば、走査信号を形成するシフトレジスタにおいて、ランダムにシフト動作を開始、終了することができるので、簡単な回路動作によって、撮像画におけるある任意のエリアを指定でき、その任意の指定エリアをディスプレイの1画面分の大きさに拡大して表示できる。また、全てデコーダだけで組む必要がないので、デコーダ入力本数を減らせることができる。

#### 【図面の簡単な説明】

【図1】本発明の撮像装置のデコーダ部とシフトレジスタ部の構成例である。

【図2】本発明の撮像装置の水平デコーダ部とシフトレジスタ部の概念回路図である。

【図3】本発明の撮像装置の水平デコーダ部とシフトレジスタ部の概念構成例である。

【図4】本発明の撮像装置の任意範囲の水平デコーダ部とシフトレジスタ部のタイミングである。

【図5】本発明の撮像装置の任意範囲の水平デコーダ部とシフトレジスタ部の概念構成例である。

【図6】本発明の撮像装置のシフトレジスタ部の回路図である。

【図7】本発明の撮像装置の水平デコーダ部とシフトレジスタ部の動作タイミングである。

【図8】本発明の撮像装置の水平デコーダ部とシフトレジスタ部の概念構成図と回路図である。

【図9】本発明の撮像装置の水平デコーダ部とシフトレジスタ部のOB部を考慮した動作タイミングである。

【図10】本発明の撮像装置の水平デコーダ部とシフトレジスタ部の概念構成図と動作タイミングである。

【図11】本発明の撮像装置の全体構成図である。

【図12】従来例の撮像装置の走査用シフトレジスタの構成例である。

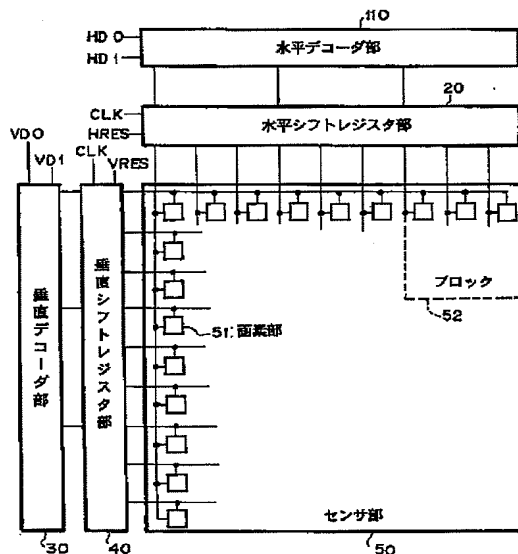
#### 【符号の説明】

- 1 絞り羽根
- 2 レンズ
- 3 光線修正部
- 4 光電変換素子
- 5 Yアドレス選択部
- 6 Xアドレス選択部
- 7 タイミング調整部
- 8 タイミング・ジェネレータTG
- 9 発振器
- 10 AGC

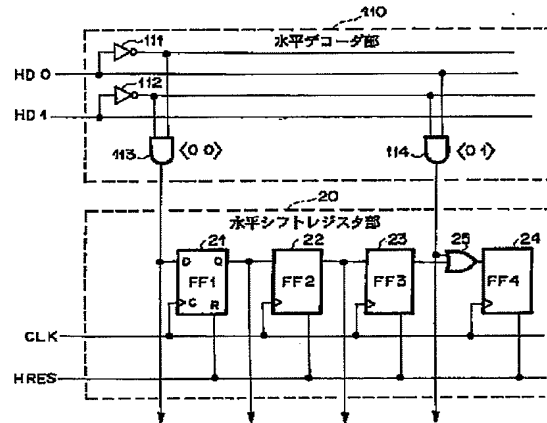
- 11 アナログ／デジタル (A/D) 変換部
- 12 カメラDSP部
- 13 DRAMメモリ
- 14 MPU (マイクロプロセッサ)
- 15 ビデオエンコーダ
- 16 CRT
- 17 ビューファインダ
- 18 画像記録媒体
- 20 水平シフトレジスタ部
- 21~24 フリップフロップ
- 25 OR回路
- 30 垂直デコーダ部
- 40 垂直シフトレジスタ部
- 50 センサ部

- 52 3×3画素のブロック
- 53 OB部
- 54 128×128画素のブロック
- 101 シフトレジスタユニット
- 102 スイッチ
- 103 記憶部
- 104 シフトレジスタ単位ブロック
- 105, 106 インバータ
- 110 水平デコーダ部
- 111, 112 インバータ
- 113, 114 AND回路
- 201~204 選択スイッチ
- 211~214 負荷抵抗
- 221~223 Dフリップフロップ

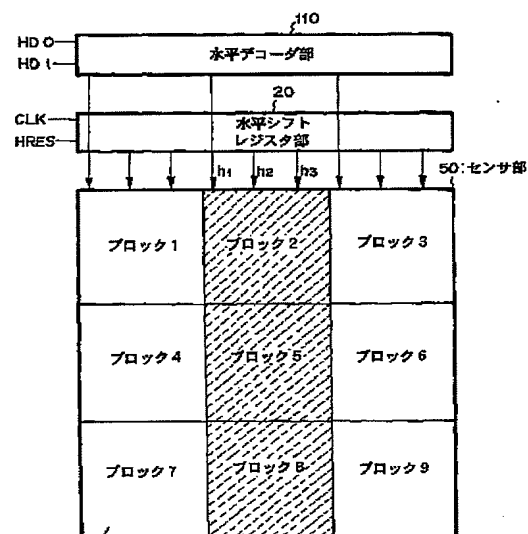
【図1】



【図2】

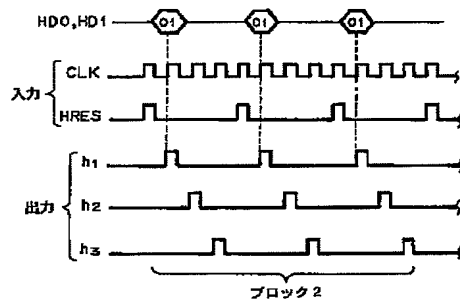


【図3】



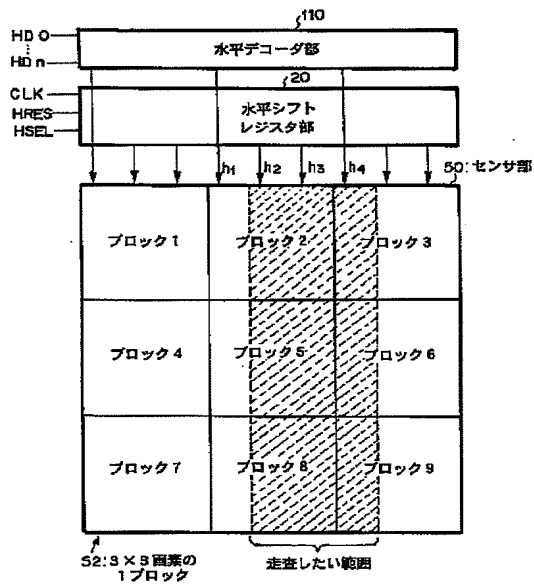
1ブロック内3×3画素

【図4】

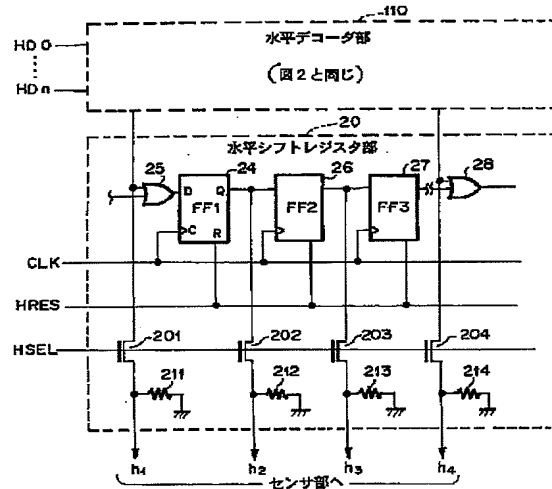




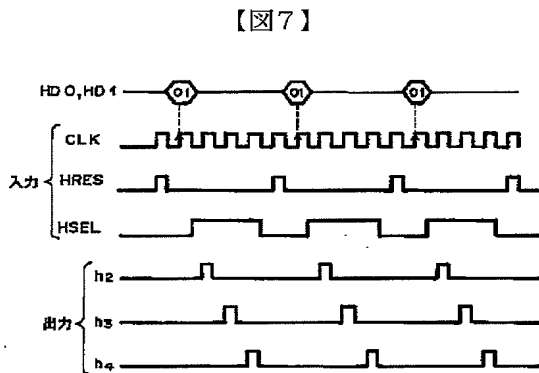
【図5】



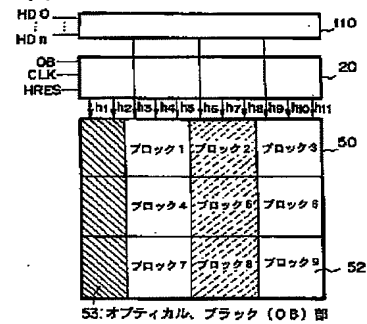
【図6】



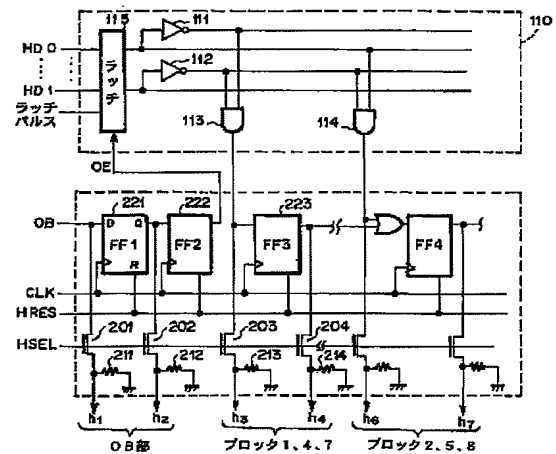
【図8】



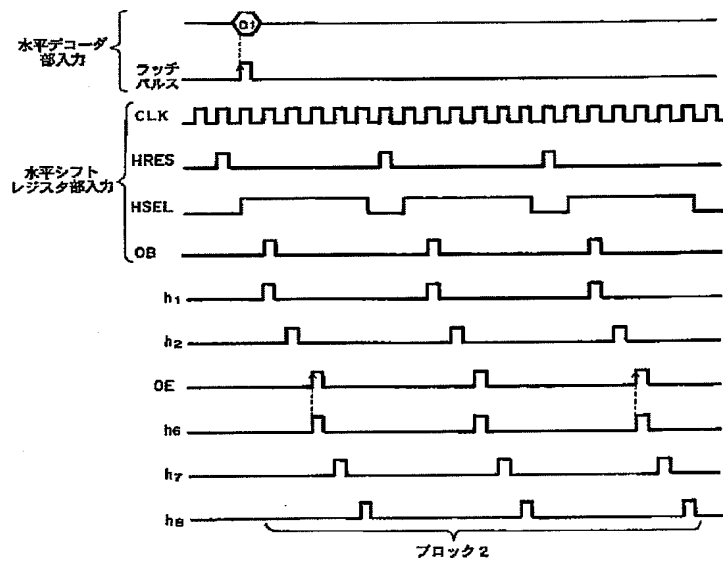
(a) OB部を考慮した概念図



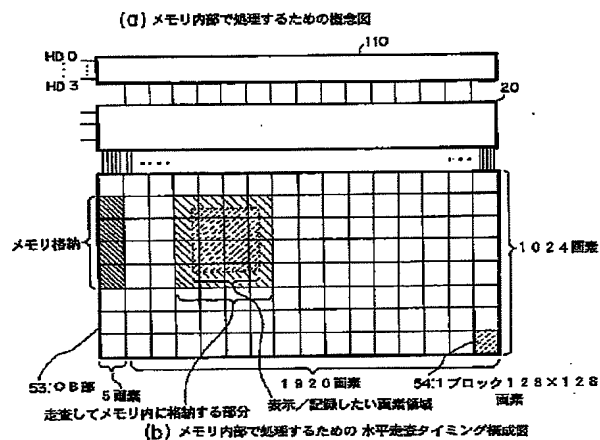
(b) OB部を考慮した水平デコーダと水平シフトレジスタの回路構成例



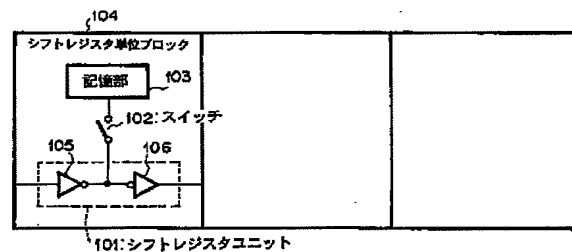
【図9】



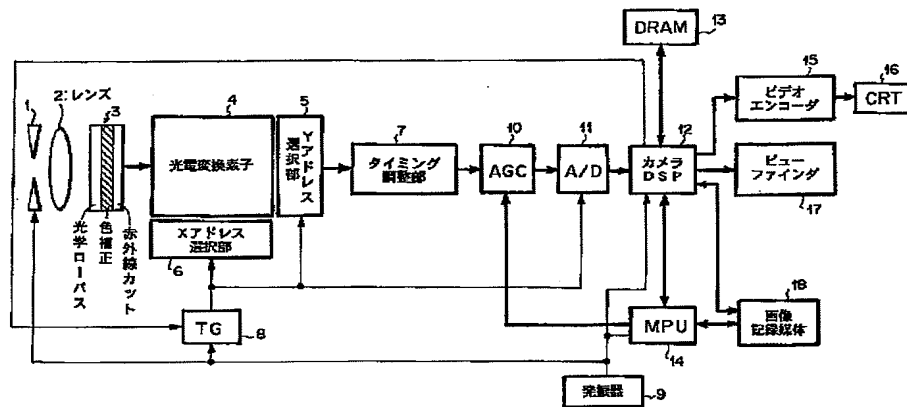
【図10】



【図12】



【図11】



## 【手続補正書】

【提出日】平成12年7月26日(2000. 7. 26)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】撮像装置及び選択回路

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 光学系により形成された被写体像をイメージセンサにより光電変換できる撮像装置において、デコーダ部により選択された選択ブロックと、シフトレジスタ部により前記選択ブロック内の各選択ラインとにより、前記イメージセンサの画素領域を任意の画素単位で走査開始、終了することを特徴とする撮像装置。

【請求項2】 請求項1に記載の撮像装置において、前記任意の画素単位中の前記任意の画素位置で走査開始、終了することを特徴とする撮像装置。

【請求項3】 請求項1又は2に記載の撮像装置において、前記デコーダ部内には前記選択ブロックの選択用の複数の選択パルスが供給され、前記シフトレジスタ部には少なくとも走査用のクロックとリセットパルスが供給されることを特徴とする撮像装置。

【請求項4】 請求項1又は、2、3に記載の撮像装置において、前記イメージセンサの領域にはオプティカルブラック部を備え、前記選択ブロックは前記オプティカルブラック部を含まないことを特徴とする撮像装置。

【請求項5】 請求項3又は4に記載の撮像装置において、更に、シフトレジスタ部には、選択出力線をオン・オフする選択パルスが供給され、前記選択ブロックの選択用の複数の選択パルスと前記選択パルスにより選択された選択出力線により前記イメージセンサの特定領域を読み出すことを特徴とする撮像装置。

【請求項6】 請求項5に記載の撮像装置において、前記デコーダ部に前記選択ブロックの選択用の複数の選択パルスとラッチパルスとを受けるラッチ回路を備え、前記シフトレジスタ部には少なくとも走査用のクロックとリセットパルス及び前記選択出力線をオン・オフする選択パルスが供給され、前記オプティカルブラック部をスキップした後に前記ラッチ回路をオンすることを特徴とする撮像装置。

【請求項7】 複数の画素を含むセンサ部と、前記センサ部内を複数のブロックに分割し、ブロック毎に指定を行う指定手段と、前記指定手段の指定に基づき、前記センサ部内の画素を走査する走査手段と、前記ブロック内の所望の画素から走査開始を行えるように、前記走査手段を制御するためのパルスを供給するタイミングジェネレータと、を有することを特徴とする撮像装置。

【請求項8】 請求項7に記載の撮像装置において、前記ブロックは、水平方向又は垂直方向に配列された複数の画素であることを特徴とする撮像装置。

【請求項9】 請求項8に記載の撮像装置において、前記走査手段は、水平方向及び垂直方向に走査することを特徴とする撮像装置。

【請求項10】 請求項7乃至9のいずれかに記載の撮像装置において、前記指定手段は、デコーダ回路であり、前記走査手段はシフトレジスタであることを特徴と

する撮像装置。

【請求項11】 複数の画素を含むセンサ部と、前記センサ部内を複数のブロックに分割し、ブロック毎に指定を行うデコード回路と、前記デコード回路の指定に基づき、前記センサ部内の画素を走査するシフトレジスタと、  
を有することを特徴とする撮像装置。

【請求項12】 請求項11に記載の撮像装置において、前記シフトレジスタによる走査を止めるために、前記シフトレジスタにリセットパルスを供給するタイミングジェネレータを有することを特徴とする撮像装置。

【請求項13】 請求項1乃至請求項12のいずれかに記載の撮像装置において、被写体からの光を結像するレンズと、前記画素領域又は前記センサ部からの信号の画像処理を行うデジタル・シグナル・プロセッサと、  
を有することを特徴とする撮像装置。

【請求項14】 任意の範囲内を複数のブロックに分割し、ブロック毎に指定を行うデコード回路と、前記デコード回路の指定に基づき、前記任意の範囲内を走査するためのシフトレジスタと、  
を有することを特徴とする選択回路。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は、撮像装置及び選択回路に係り、特にランダムアクセスのシフトレジスタを備えた撮像装置及び選択回路に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】本発明はこのような問題を考慮し、実質的にランダムアクセスが可能なシフトレジスタを有した撮像装置及び選択回路を提供することを目的としている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【課題を解決するための手段】本発明の撮像装置は、光学系により形成された被写体像をイメージセンサにより光電変換できる撮像装置において、デコード部により選択された選択ブロックと、シフトレジスタ部により前記選択ブロック内の各選択ラインとにより、前記イメージセンサの画素領域を任意の画素単位で走査開始、終了す

ることを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】また、上記撮像装置において、前記デコード部内には前記選択ブロックの選択用の複数の選択パルスが供給され、前記シフトレジスタ部には少なくとも走査用のクロックとリセットパルスが供給されることを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】また、本発明の撮像装置は、複数の画素を含むセンサ部と、前記センサ部内を複数のブロックに分割し、ブロック毎に指定を行う指定手段と、前記指定手段の指定に基づき、前記センサ部内の画素を走査する走査手段と、前記ブロック内の所望の画素から走査開始を行えるように、前記走査手段を制御するためのパルスを供給するタイミングジェネレータと、を有することを特徴とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】また、本発明の撮像装置は、複数の画素を含むセンサ部と、前記センサ部内を複数のブロックに分割し、ブロック毎に指定を行うデコード回路と、前記デコード回路の指定に基づき、前記センサ部内の画素を走査するシフトレジスタと、を有することを特徴とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】また、本発明の選択回路は、任意の範囲内を複数のブロックに分割し、ブロック毎に指定を行うデコード回路と、前記デコード回路の指定に基づき、前記任意の範囲内を走査するためのシフトレジスタと、を有することを特徴とする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】〔第1の実施形態〕図1は本発明の第1の

実施形態に基づく、デコーダ回路とシフトレジスタを備

えた撮像装置の簡単な撮像部構成図の例である。

---

フロントページの続き

(72)発明者 遠藤 敏朗  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内  
(72)発明者 橋本 誠二  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

Fターム(参考) 4M118 AA10 AB01 BA14 DB01 FA06  
FA50 GB09  
5C024 AA01 CA22 CA25 CA26 FA01  
FA11 GA31 JA04 JA10 JA21  
JA35  
5C051 AA01 BA03 DA06 DB08 DB12  
DB22 DB23 DE02 DE15 DE17